

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08242330 A**(43) Date of publication of application: **17.09.96**

(51) Int. Cl.

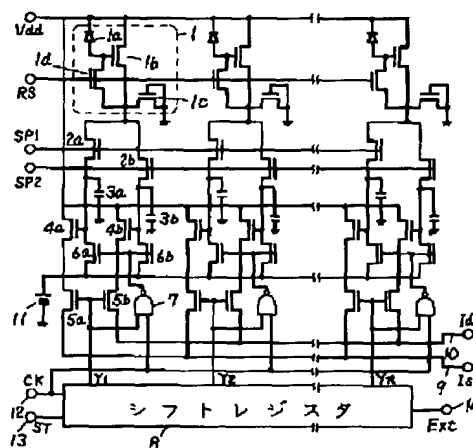
H04N 1/028**H01L 27/146****H04N 1/40****H04N 5/335**(21) Application number: **07044044**(22) Date of filing: **03.03.95**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **YAMAGUCHI KAZUFUMI
YAMAMOTO YASUNAGA
OKAMOTO TATSUSHIZU****(54) IMAGE SENSOR AND FIXED PATTERN NOISE REMOVING SYSTEM**

(57) Abstract:

PURPOSE: To suppress a fixed pattern noise and to obtain a high SN ratio at high sensitivity by executing differential I/V conversion for bright and dark signal currents outputted from a pair of common signal lines and obtaining a difference between the first half output voltage and latter half output voltage of an access pulse.

CONSTITUTION: Signal voltage immediately before reset and signal voltage immediately after the reset which appear on individual electrodes of all photodiodes 1a are amplified by a picture element amplifier and the amplified voltage levels are respectively stored by respective sampling means as bright signal voltage and dark signal voltage. In a reading period, signal currents based upon a pair of stored signal voltage levels are successively outputted to a bright signal common signal line 9 and a dark signal common signal line 10 through a pair of access MOS-FETs 5a, 5b in accordance with an access pulse outputted from a shift register 8. Differential I/V conversion for the bright and dark signal currents outputted from the lines 9, 10 is executed to find out a difference between the first half output voltage and latter half output voltage of the access pulse.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-242330

(43) 公開日 平成8年 (1996) 9月17日

(51) Int. Cl. ⁹

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 1/028

H 0 1 L 27/146

H 0 4 N 1/40

H 0 4 N 1/028

A

5/335

E

審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平7-44044

(22) 出願日 平成7年 (1995) 3月3日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山口 和文

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 山本 泰永

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 岡本 龍鎮

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 イメージセンサおよび固定パターンノイズの除去方式

(57) 【要約】

【目的】 高感度、高S/NのイメージセンサおよびF
PN除去方式を提供する。

【構成】 イメージセンサはフォトダイオードとリセッ
トスイッチ、画素アンプ、リセット直前および直後の画
像信号をそれぞれサンプルし保持する手段、保持された
両信号をゲートに受けて動作する一対のV/I変換用お
よびアクセス用MOS-FET、これらのMOS-FE
Tのゲートを暗信号時の電圧にセットする一対のセット
用MOS-FETとからなる複数個の画素、およびアク
セスパルスを発生させるシフトレジスタ、セット用電
源、明信号用および暗信号用の共通信号ラインからな
る。アクセスパルスの前半で一対の共通信号ラインから
第1の一対の信号電流を出力させた後、アクセスパルス
の後半でセット用MOS-FETを導通させることにより、
一固定パターンノイズ除去する。

1 信号検出部

1a フォトダイオード

1b ドライブ用MOS-FET

1c 負荷用MOS-FET

2a, 2b 1対のサンプル用MOS-FET

4a, 4b 1対のV/I変換用MOS-FET

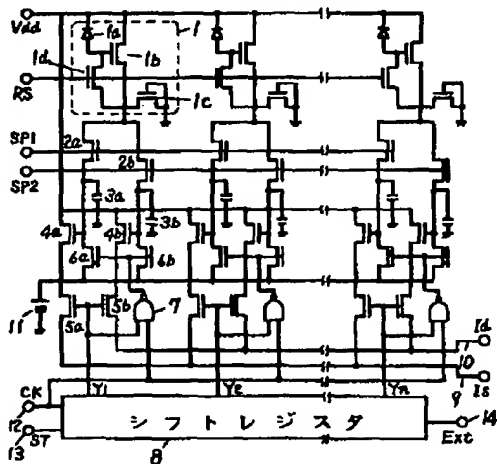
5a, 5b 1対のアクセス用MOS-FET

6a, 6b 1対のセット用MOS-FET

8 シフトレジスタ

9 明信号用共通信号ライン

10 暗信号用共通信号ライン



【特許請求の範囲】

【請求項1】 フォトダイオードとリセットスイッチ、画素アンプ、画素アンプの出力端子に出力されるリセット直前の画像信号（明信号）をサンプルし保持する手段およびリセット直後の画像信号（暗信号）をサンプルし保持する手段、保持された明信号、暗信号をゲートに受けて動作する一対のV/I変換用およびアクセス用MOS電界効果型トランジスタ（MOS-FET）、一対のV/I変換用MOS-FETのゲートを暗信号に近い電圧にセットする一対のセット用MOS-FETとからなる複数の画素、およびアクセスパルスを発生させるシフトレジスタ、セット用電源、明信号側のアクセス用MOS-FETのソース電極を共通に接続してなる明信号用共通信号ライン、暗信号側のアクセス用MOS-FETのソース電極を共通に接続してなる暗信号用共通信号ラインからなることを特徴とするイメージセンサ。

【請求項2】 画素アンプは入力ゲート電極にフォトダイオードの個別電極を接続したエンハンスメントMOSTランジスタによる反転アンプであり、リセットスイッチを反転アンプのドライブ用MOS-FETのドレインゲート間に接続することにより、フォトダイオードおよびアンプのリセットを同時に行うことを特徴とする請求項1記載のイメージセンサ。

【請求項3】 リセット直前およびリセット直後の画像信号をサンプル、保持する手段はトランスファー用MOS-FETと電圧保持用コンデンサからなり、サンプルパルスに従って、トランスファー用MOS-FETをONさせることを特徴とする請求項1記載のイメージセンサ。

【請求項4】 各画素のアクセスパルスの前半で明信号用共通信号ラインおよび暗信号用共通信号ラインからそれぞれ明、暗の第1の一対の信号電流を出力させた後、アクセスパルスの後半でセット用MOS-FETを導通させることにより、明信号用共通信号ラインおよび暗信号用共通信号ラインからそれぞれセット用電圧に基く第2の一対の信号電流を出力させ、対をなす第1の信号電流の差信号と対をなす第2の信号電流の差信号の差を出力信号とする固定パターンノイズ除去方式。

【請求項5】 請求項1記載のイメージセンサにおいて、各画素の画素アンプの出力電圧の中央付近の電圧値にセット用電圧を設定することを特徴とする請求項4記載の固定パターンノイズ除去方式。

【請求項6】 請求項1記載のセンサの明信号用画像信号ライン、暗信号用画像信号ラインからの各信号電流を受けて動作する一対のI/V変換器、差動増幅器、クランプ回路、バッファ回路からなる固定パターンノイズ除去アンプ。

【請求項7】 クランプ回路はコンデンサとMOS-FETからなるクランプスイッチからなり、各画素のアクセスパルスの前半でスイッチをオンにし、後半で補正され

た画像信号を出力することを特徴とする請求項6記載の固定パターンノイズ除去アンプ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は原稿情報を高速且つ高階調で読み取ることを可能にするイメージセンサおよびそのアンプに関するものである。

【0002】

【従来の技術】 情報通信機器の進展に伴って、その入力装置としてイメージセンサのニーズが高まっている。IC、LSIの発展に伴ってイメージセンサを製作するためのシースも進展し、CCDイメージセンサやMOSイメージセンサが開発、実用化されている。開発の焦点は高解像度化およびS/Nアップ、高速化、周辺を含めた回路の簡略化、低コスト化等である。昨今、通常のMOS-ICプロセスで製作でき、高感度である増幅型MOSイメージセンサの開発が活発になっている。

【0003】 図5に示すように、従来例における増幅型MOSイメージセンサ（特開平3-110962号公報、特開平4-126445号公報）はフォトダイオード30、V/I変換用MOS-FET31、アクセス用MOS-FET32、フォトダイオード30のリセット用MOS-FET33、リセットパルス発生用NANDゲート34、シフトレジスタ35、リセット電源36、画像信号出力ライン37、リセットタイミングパルスの入力端子38からなる。なお、39、40はそれぞれシフトレジスタのスタートパルスの入力端子、クロックパルスの入力端子であり、41はマルチチップ構成で長尺センサを作成する場合のチップ間の伝達パルスの出力端子であり、42は正電源ラインである。この増幅型MOSイメージセンサの動作タイミング図を図6に示す。Y1、Y2、Y3～Ynはシフトレジスタ35から出力されるアクセスパルスであり、RSはリセットタイミングパルスである。各画素のリセットパルスはRSとアクセスパルスのNANDを取ることによって発生させる。各画素において、フォトダイオード30の個別電極からリセット直前には光電流による放電後の信号電圧つまり明信号電圧が、リセット直後には光電流による放電前の信号電圧がV-I変換用MOS-FET31のゲートに出力される。シフトレジスタ35からのアクセスパルスY1、Y2、Y3～Ynに従って、順次、アクセス用MOS-FET32、引き続いてリセット用MOS-FET33を導通させることによって、時系列の画像信号を画像信号出力ライン37に得ることができる。

【0004】 このセンサはフォトダイオード毎に、それに近接して配置したV-I変換用MOS-FET31により増幅された信号電流をアクセス用MOS-FET32を介して出力するためにランダムノイズは非常に小さくできる特徴がある。しかしながら、回路の性質上、暗時においてもオフセット信号が出力され、V-I変換用

MOS-FET31およびアクセス用MOS-FET32の特性の画素間でのばらつきによってオフセット信号が不均一になり、これが固定パターンノイズ(FPN)になるという欠点がある。よって、チップ外でリセット直前のフォトダイオードの個別電極の電位に基く明信号とリセット直後のフォトダイオードの個別電極の電位に基く暗信号との差信号を取ることにによってFPNを削減している。この方式では、1画素の読みだし周期の間に明信号出力、リセット動作および暗信号出力の3種類の動作をさせる必要があり高速読み取りの障害となる。また、図5のイメージセンサは増幅型MOSイメージセンサと呼ばれ、増幅された電流信号を得ることができるが、画素部の信号電圧感度自体は増幅されていない。よって、低露光域で使用するためには感度が不足である。この方式のセンサで、フォトダイオード30の個別電極とV/I変換用MOS-FET31のゲートとの間に電圧アンプを付けることにより信号電圧感度を増大させる方法も考えられるが、この電圧アンプは各画素の読みだし周期の約3倍の応答速度が必要であり、各画素にこのような高速アンプを付けることは難しい。

【0005】

【発明が解決しようとする課題】従来の増幅型MOSイメージセンサでは、FPN補正を可能にするために1画素の読み出しクロック周期の期間に明信号および暗信号の出力タイミングとリセットタイミングの3種のタイミングが必要であった。これが高速読み取りの障害になっていた。また、従来の増幅型MOSイメージセンサでは、フォトダイオードの個別電極の電位に基く信号電圧がフォロア回路を介して出力され、電流増幅されるのみで、画素からの信号電圧は増幅されていない。従って、低露光域で使用するためには感度不足である。

【0006】

【課題を解決するための手段】イメージセンサはフォトダイオードとリセットスイッチ、画素アンプ、画素アンプから出力されるリセット直前の画像信号(明信号)をサンプルし保持する手段およびリセット直後の画像信号(暗信号)をサンプルし保持する手段、保持された明信号、暗信号をゲートに受けて動作する一対のV/I変換用およびアクセス用MOS-FET、アクセスパルスの後半で暗信号に近い電圧にセットする一対のセット用MOS-FETからなる複数の画素および、アクセス用パルスを発生させるシフトレジスタ、セット用電源、明信号側のアクセス用MOS-FETのソース電極を共通に接続してなる明信号用共通信号ライン、暗信号側のアクセス用MOS-FETのソース電極を共通に接続してなる暗信号用共通信号ラインから構成される。各画素のアクセスパルスの前半で明信号用共通信号ラインおよび暗信号用共通信号ラインからそれぞれ明、暗の第1の一対の信号電流を出力させた後、アクセスパルスの後半でセット用MOS-FETを導通させることにより、明信

号用共通信号ラインおよび暗信号用共通信号ラインからそれぞれセット用電圧に基く第2の一対の信号電流を出力させ、対をなす第1の信号電流の差信号と対をなす第2の信号電流の差信号の差を出力信号とする。

【0007】

【作用】全てのフォトダイオードの個別電極に現われたリセット直前の信号電圧およびリセット直後の信号電圧を画素アンプによって電圧増幅した後、それぞれのサンプル手段により明信号電圧および暗信号電圧として保持する。この動作は読みだし期間の前にそれぞれ全画素一斉に行う。そのために、画素アンプの動作に対して数クロック周期の時間を費やすことが可能になり、簡単な低消費電力の低速、高利得のアンプで構成することができる。読みだし期間においては、これらの保持された一対の信号電圧に基く信号電流をシフトレジスタからのアクセスパルスに従って、一対のアクセス用MOS-FETを介して順次、明信号用共通信号ラインおよび暗信号用共通信号ラインに出力される。但し、アクセスパルスの後半のタイミングにおいては各画素のセット用MOS-FETを導通させて、各画素の補正信号を出力させるものとする。以上によって、一対の共通信号ラインから出力された明、暗信号電流を差動I/V変換し、且つアクセスパルスの前半の出力電圧と後半の出力電圧との差を取ることにによって固定パターンノイズを劇的に抑制することが可能になる。

【0008】

【実施例】以下、本発明の一実施例を図面を用いて詳細に説明する。図1は本発明の実施例1におけるイメージセンサの等価回路であり、特に3画素分を明示している。図1は信号検出部1と、明信号および暗信号を各々サンプルする一対のMOS-FET2a、2bと、明信号および暗信号を保持するコンデンサ3a、3bと、保持された明信号および暗信号をゲートに受けて動作する一対の電圧/電流変換用MOS-FET4aおよび4bと、一対のアクセス用MOS-FET5aおよび5bと、一対のセット用MOS-FET6aおよび6bと、セットパルスを発生させるNANDゲート7等からなる複数の画素および、アクセス用パルスを発生させるシフトレジスタ8と、明信号側のアクセス用MOS-FET(5aおよび等価なMOS-FET)のソースを画素間で共通に接続してなる明信号用共通信号ライン9と、暗信号側のアクセス用MOS-FET(5bおよび等価なMOS-FET)のソースを画素間で共通に接続してなる暗信号用共通信号ライン10と、セット用電源11等からなる。本図においては、MOS-FET1b、1c、1d、2a、2b、6a、6bはPチャンネル型であり、MOS-FET4a、4b、5a、5bはNチャンネル型である。信号検出部1はフォトダイオード1aと、ドライブ用MOS-FET1bおよび負荷用MOS-FET1cから構成された反転アンプと、フォトダイ

5

オード1aのリセット用MOS-FET1dからなり、フォトダイオード1aの個別電極に現われた信号電圧が反転アンプで増幅された後、ドライブ用MOS-FET1aのドレインに出力される。端子12、13はそれぞれシフトレジスタを動作させるためのクロックパルス、スタートパルスの入力端子であり、14は多チップ構成で長尺センサを作成する場合のチップ間の伝達パルスの出力端子であり、本端子を次段のスタート端子13に接続することによりチップ間で直列の画像信号を得ることができる。蓄積時間の間隔でリセット用MOS-FET1dを導通させることにより、反転アンプの入出力端子間が短絡され、フォトダイオードの個別電極がMOS-FET1b、1cの定数によって一意的に決まる電圧にリセットされる。試作サンプルにおいて、リセット電圧は約3.2Vであった。リセットパルスの直前には光電流による放電後のフォトダイオードの端子電圧に基く信号つまり明信号電圧がドライブ用MOS-FET1bのドレインに出力され、サンプル用MOS-FET2aが導通してコンデンサ3aに保持される。リセットパルスの直後には光電流による放電前のフォトダイオードの端子電圧に基く信号つまり暗信号電圧がドライブ用MOS-FET1bのドレインに出力され、サンプル用MOS-FET2bが導通してコンデンサ3bに保持される。IC中ではコンデンサは一般に広い面積を占めるが、本回路では出力すべき端子の容量が小さいため、コンデンサ3a、3bは別途付加することなく寄生容量で代用することができるために、チップ面積の削減には好都合である。

【0009】図2は本発明の実施例1におけるイメージセンサの動作タイミング図であり、リセットパルスR_S、明信号用サンプルパルスSP1、暗信号用サンプルパルスSP2、シフトレジスタに印加されるクロックパルスCK、スタートパルスST、シフトレジスタからのアクセスパルスY1、Y2、Y_nおよび明信号用共通信号ライン9から出力される明信号電流I_sおよび暗信号用共通信号ライン10から出力される暗信号電流I_nを示している。図1の回路からも分かるようにSP1、R_S、SP2は読み出し前にそれぞれ全画素一斉に印加され、明信号電圧および暗信号電圧が各々コンデンサ3aおよび3bに保持される。アクセスパルスの前半でアクセス用MOS-FET5a、5bが導通して明信号用共通信号ライン9からコンデンサ3aに保持された明信号電圧に基く信号電流I_{si}、暗信号用共通信号ライン10からコンデンサ3bに保持された暗信号電圧に基く信号電流I_{ni}が出力される。また、各画素のセットパルスはクロックパルスとアクセスパルスからNANDゲートによって形成されて一対のセット用MOS-FET6a、6bのゲートに印加され、アクセスパルスの後半にセット用MOS-FETが導通して、一対のV/I変換用MOS-FET4a、4bのゲートに暗状態での保持

6

電圧に近い電圧V_{set}が印加され、明信号用共通信号ライン9、暗信号用共通信号ライン10から暗信号に近い状態でのそれぞれの信号電流I_{sd}、I_{nd}が出力される。V_{set}が暗状態でのMOS-FET4aのゲート電圧に等しい場合、I_{ni}=I_{nd}である。

【0010】次に、固定パターンノイズ(FPN)除去の原理について述べる。FPNは一対のV/I変換用MOS-FET4a、4bおよび一対のアクセス用MOS-FET5a、5bのそれぞれの素子特性のミスマッチによって生ずる。素子特性のミスマッチはゲート幅/ゲート長(W/L)の寸法ミスマッチやウエル拡散層のドーピング濃度の不均一性によって生じる。図3はV/I変換用MOS-FET(例えば4a)とアクセス用MOS-FET(例えば5a)の直列回路において、V/I変換用MOS-FETのゲートに印加される電圧V_gに対してアクセス用MOS-FETのソースに出力される電流をMOS-FETのゲート幅/ゲート長(W/L)をパラメータとしてプロットしたものである。挿入図は本特性図の一部拡大図である。カーブaはゲート電圧V_gに対するI_s端子からの出力電流を示し、カーブbも同様にゲート電圧V_gに対するI_n端子からの出力電流を示しているが、本図ではI_s端子側のMOS-FETのゲート長がI_n端子側のゲート長よりが5%小さい場合を示している。試作サンプルにおいて、リセット直後のフォトダイオードの光電流による放電がない状態で、反転アンプの出力電圧は約3.2Vである。暗状態ではフォトダイオードの光電流による放電が無いために、フォトダイオードの個別電極の電圧に変動は無く、よって、反転アンプの出力電圧は3.2Vに保持される。一方、明状態では光電流による放電によりフォトダイオードの個別電極の電圧は上昇し、反転アンプの出力電圧は下降し、出力電流I_sはカーブaに沿って低下する。固定パターンノイズは暗状態での画素間における信号ばらつきを指すが、図3の場合I_sとI_nの差異は14μAになる。試作サンプルでの電流感度9mA/lx・sから、露光量0.025lx・sでのS/Nは24dBになる。実用的な階調表現のためにはS/N=40dB程度が必要であたために、このままでは階調を要求する用途には使えない。MOSプロセスの改善のみによって、対をなすMOS-FETの特性ばらつきをS/N=40dB程度まで抑えることも困難である。

【0011】本発明の実施例1では各画素において、アクセスパルスの後半において一対のV/I変換用MOS-FETのゲートを暗信号時の保持電圧にセットすることにより、各画素のI_s、I_nの補正電流を得ている。つまり、アクセスパルスの前半において、対をなすMOS-FETの特性ばらつきによるI_s、I_nのミスマッチを含む信号電流を出力させ、アクセスの後半においてI_s、I_nのミスマッチ成分を出力させる。以下、反転アンプの出力電圧、3.2V近傍における直線近似(図3挿

7

入図参照)を用いてFPN補正の原理を説明する。アクセスパルスの前半におけるIs端子、In端子からの信号

$$I_{si} = (g_m + \Delta g_s) \cdot V_s + \Delta I_{st} \quad (1)$$

$$I_{ni} = (g_m + \Delta g_n) \cdot V_n + \Delta I_{nt} \quad (2)$$

になる。そこで、Vs、Vnはそれぞれ明信号保持電圧、暗信号保持電圧である。Δgs、Δgnは直線の傾きの差異を表し、ΔIst、ΔIntは横軸との切片の差異を表

$$I_{sd} = (g_m + \Delta g_s) \cdot V_{set} + \Delta I_{st} \quad (3)$$

$$I_{nd} = (g_m + \Delta g_n) \cdot V_{set} + \Delta I_{nt} \quad (4)$$

になる。本発明ではVset電圧を暗信号保持電圧に近い値に設定するので、Vset=Vn+ΔVnと記すことができる。この関係を用いて数式(3)、(4)を変形する

$$I_{sd} = (g_m + \Delta g_s) \cdot V_n + (g_m + \Delta g_s) \cdot \Delta V_n + \Delta I_{st} \quad (5)$$

$$I_{nd} = (g_m + \Delta g_n) \cdot V_n + (g_m + \Delta g_n) \cdot \Delta V_n + \Delta I_{nt} \quad (6)$$

になる。つまり、本発明のイメージセンサでは、暗状態での特性ミスマッチによる信号電流をIs端子、In端子から得ることができる。

$$I_{si} - I_{ni} = (g_m + \Delta g_s) \cdot V_s - (g_m + \Delta g_n) \cdot V_n + \Delta I_{st} - \Delta I_{nt} \quad (7)$$

アクセスパルスの後半における差動増幅器の出力信号は

$$I_{sd} - I_{nd} = (\Delta g_s - \Delta g_n) \cdot V_n + \Delta I_{st} - \Delta I_{nt} + (\Delta g_s - \Delta g_n) \cdot \Delta V_n \quad (8)$$

になる。アクセスパルスの前半の差動出力信号からアクセスパルスの後半の差動出力信号の差の信号は次式で表

$$(I_{si} - I_{ni}) - (I_{sd} - I_{nd}) = (g_m + \Delta g_s) \cdot (V_s - V_n) - (\Delta g_s - \Delta g_n) \cdot \Delta V_n \quad (9)$$

Vset電圧が暗信号保持電圧に等しい場合、つまり、ΔVn=0の場合、差動出力信号の差信号は明信号保持電圧と暗信号保持電圧の差に比例し、I/V変換用MOS-FETおよびアクセス用MOS-FETの特性に依存せず、FPN補正は完全である。しかしながら、Vset電圧と暗信号保持電圧の間にΔVnの差が生じた場合、数式(9)の第2項の誤差を生ずるが、この項は微小値の2乗値であるので極めて小さい値になり、補正効果は充分であると考えられる。実際、センサチップには多数個の画素があり、各画素の反転アンプを構成するMOS-FET1b、1cの特性ばらつきにより、画素間で反転アンプの出力端子での暗信号電圧にばらつきが生ずる。よって、一つのセット電圧Vsetでチップ上の全画素のI/V変換用MOS-FETのゲート電圧をそれぞれの暗信号電圧にセットすることは不可能である。反転アンプの出力電圧が3.2Vプラスマイナス0.1Vに変動した場合、つまりΔVn=0.1Vの場合、図3中の挿入図に示すように補正誤差は1μAになる。本発明による補正によって、誤差電流が14μAから1μAに削減された。よって、露光量25m lx・sでの補正後のFPNは47dBになり、実用的な階調表現が充分可能な読取りが可能である。

【0015】図4は本発明の実施例2における本発明のイメージセンサに用いるFPN補正アンプの等価回路で

8

電流をそれぞれIsi、Iniとすると、

す。セット電圧をVsetとして、アクセスパルスの後半におけるIs端子、In端子からの信号電流をIsd、Indとすると、

と、Isd、Indは近似的に次式で表される。
【0012】

【0013】これらの信号電流は差動増幅器に入力される。アクセスパルスの前半における差動増幅器の出力信号は

される。
【0014】

あり、I/V変換回路20、差動増幅器21、クランプ回路22、バッファ23からなっている。なお、24はクランプSWの制御信号の入力端子である。I/V変換回路20はイメージセンサチップから出力される一対の信号電流Is、Inを電圧に変換する回路であり、例えば一対のベース接地トランジスタ、抵抗、バイアス電源等で容易に構成することができる。I/V変換回路の変換インピーダンスをZとすれば、変換された信号電圧Vs=Z・Is、Vn=Z・Inと記すことができる。差動増幅器21は電圧に変換された一対の信号電圧の差を増幅するものであり、アクセスパルスの前半ではVout.f=Z・(Isi-Ini)の信号電圧が出力され、アクセスパルスの後半にはVout.b=Z・(Isd-Ind)の信号電圧が出力される。後半のVout.bが補正信号であり、Vout.f-Vout.bの演算を行う回路がクランプ回路22である。つまり、Vout.fの出力時にクランプSWをオンしてコンデンサにVout.fを蓄え、Vout.bの出力時にオフにして、その差信号つまり補正後の信号をバッファ23の入力端子の入力端子に得ることができる。バッファ23の出力端子からはインピーダンスを低くした補正信号が出力される。

【0016】

【発明の効果】以上のように本発明は、一斉取り込み型イメージセンサにおいて、各画素のアクセスパルスの後

9

半に暗レベル補正信号を出力させるもので、補正動作により容易に固定パターンノイズ (FPN) を削減することが可能になる。また、本発明のイメージセンサに用いる FPN 補正アンプも簡単な回路により構成できる。よって、本発明は高感度で S/N の大きいイメージセンサを提供でき、高性能読取り素子として極めて産業上の効果は大である。

【図面の簡単な説明】

【図1】本発明の実施例1におけるイメージセンサの等価回路を示す図

【図2】本発明の実施例1におけるイメージセンサのタイミング図

【図3】FPNの発生原因と対策を示すための説明図

【図4】実施例2における FPN 補正アンプの回路図

【図5】従来例における増幅型 MOS イメージセンサの等価回路を示す図

【図6】増幅型 MOS イメージセンサの動作タイミング図

【符号の説明】

1 信号検出部

1 a フォトダイオード

1 b ドライブ用 MOS-FET

1 c 負荷用 MOS-FET

1 d リセット用 MOS-FET

10

2 a、2 b 一對のサンプル用 MOS-FET

3 a、3 b 一對の保持用コンデンサ

4 a、4 b 一對の V/I 変換用 MOS-FET

5 a、5 b 一對のアクセス用 MOS-FET

6 a、6 b 一對のセット用 MOS-FET

7 NANDゲート

8 シフトレジスタ

9 明信号用共通信号ライン

10 暗信号用共通信号ライン

10 11 セット用電源

12 クロックパルスの入力端子

13 スタートパルス入力端子

14 チップ間の伝達パルスの出力端子

20 1/V 変換回路

21 差動増幅器

22 クランプ回路

23 バッファ回路

30 フォトダイオード

31 V/I 変換用 MOS-FET

20 32 アクセス用 MOS-FET

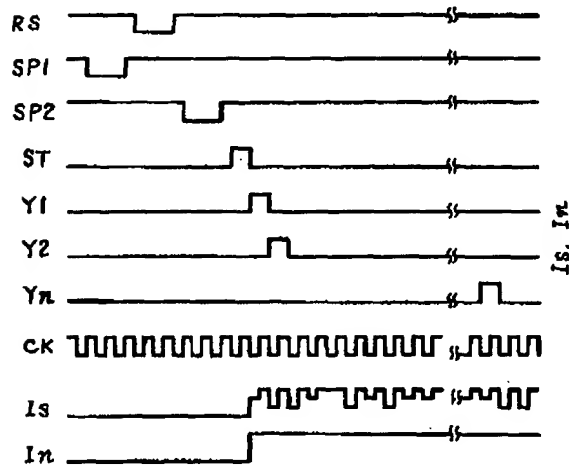
33 リセット用 MOS-FET

34 リセットパルス発生用 NANDゲート

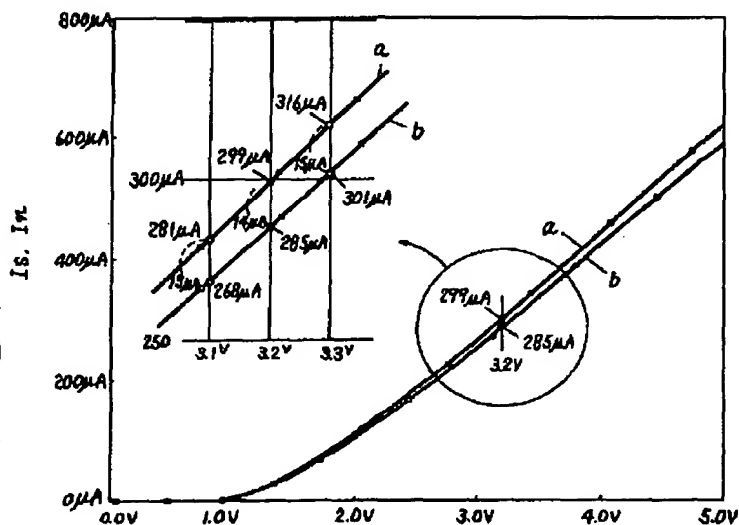
35 シフトレジスタ

36 リセット電源

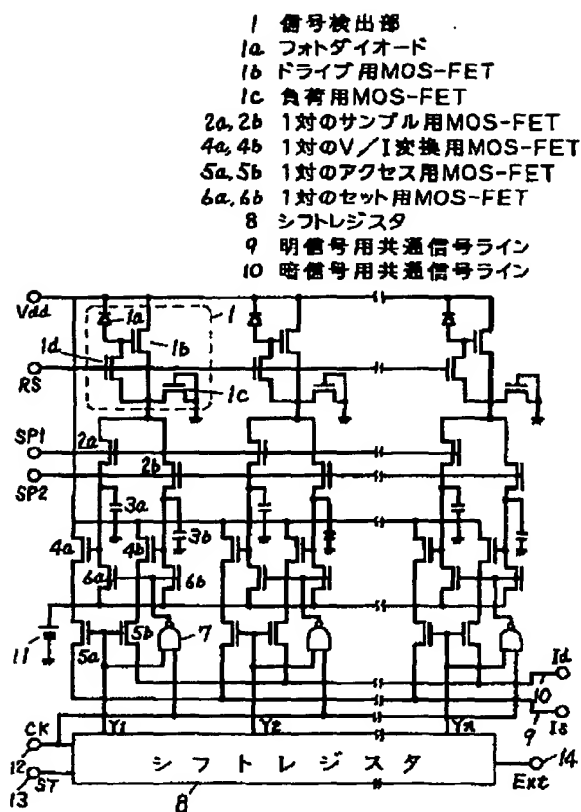
【図2】



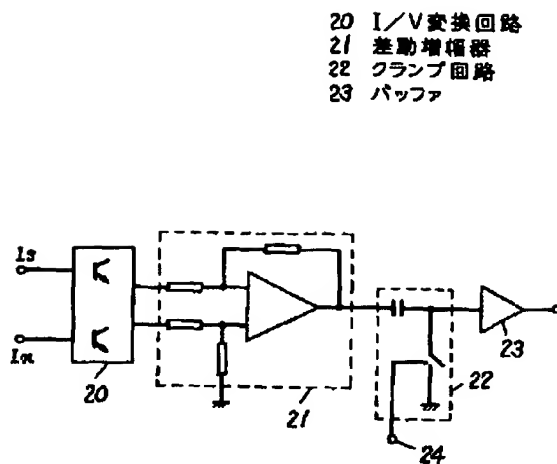
【図3】



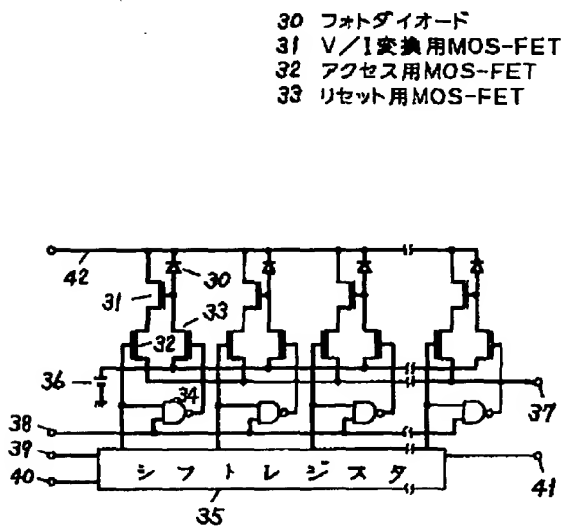
【図1】



【図4】



【図5】



【図6】

